

Exercice 1 :

On s'intéresse dans cet exercice aux mécanismes de gestion de la mémoire virtuelle.

1. Qu'est-ce que la mémoire virtuelle ? Donnez trois raisons pour lesquelles il est intéressant de disposer d'un mécanisme de mémoire virtuelle sur un ordinateur moderne.
2. Qu'est-ce qu'une MMU? A quoi sert le TLB d'une MMU?
3. Pourquoi les tailles des pages sont-elles toujours des puissances de deux ?

Considérons un premier ordinateur, qui exécute un processus de 137 pages virtuelles, que l'on suppose toutes déjà mappées (chargées) en mémoire physique. Le coût de lecture d'une association ((numéro de page virtuelle -> numéro de page physique)) à partir de la table des pages est de 10ns, modification de la TLB comprise. La TLB de cet ordinateur peut stocker 32 associations ((numéro de page virtuelle -> numéro de page physique)), et fournit son résultat en 3ns.

4. Quel pourcentage des accès mémoire doit-il concerner des pages référencées dans la TLB pour avoir un coût moyen d'accès à une page physique égal à 5ns ?

On considère un deuxième ordinateur à processeur 64 bits, disposant également d'un espace d'adressage sur 64 bits. Ce système dispose de 256 Mo (c'est-à-dire de 228 octets) de mémoire physique, organisée en pages de 4 ko.

5. Quel est le nombre maximal d'entrées dans la table des pages ?
6. Pour ne pas avoir à utiliser autant de mémoire physique pour gérer la mémoire virtuelle, on peut utiliser une table des pages inverse, possédant autant d'entrées que de pages physiques. Décrivez le principe d'une telle table des pages inverse. Donnez les avantages et inconvénients d'une telle implémentation par rapport au système classique de table des pages.
7. Quel(s) mécanisme(s) peu(ven)t-il(s) être utilisé(s) pour réduire le surcoût inhérent à ce système ?
8. Quels problèmes ce système pose-t-il vis-à-vis de la mémoire partagée ? Quelle solution pouvez-vous envisager ?

Exercice 2 :

On considère un système de gestion de mémoire paginée a deux niveaux tel que :

- les adresses virtuelles et physiques sont toutes deux codées sur 32 bits ;
 - les 10 premiers bits de l'adresse virtuelle forment le premier index, les 10 bits suivants forment le deuxième index, et les 12 bits restants le déplacement ;
 - on suppose que chacune des entrées de ces tables est sur 32 bits.
-
1. Quelle est la taille maximale de la table des pages ? Quelle est la taille maximale de l'espace d'adressage utile ?
 2. Avec cette structure mémoire, quelle fraction de l'espace mémoire d'un processus doit-on utiliser pour gérer sa table des pages ? Discuter la valeur du ratio entre l'espace mémoire du processus et celui de sa table de pages en fonction de la taille du processus et d'autres considérations pertinentes.